

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-264451

(43)Date of publication of application : 19.09.2003

(51)Int.Cl.

H03H 17/06

H03H 17/00

(21)Application number : 2002-066488

(71)Applicant : OKI ELECTRIC IND CO LTD  
OKI MICRO DESIGN CO LTD

(22)Date of filing : 12.03.2002

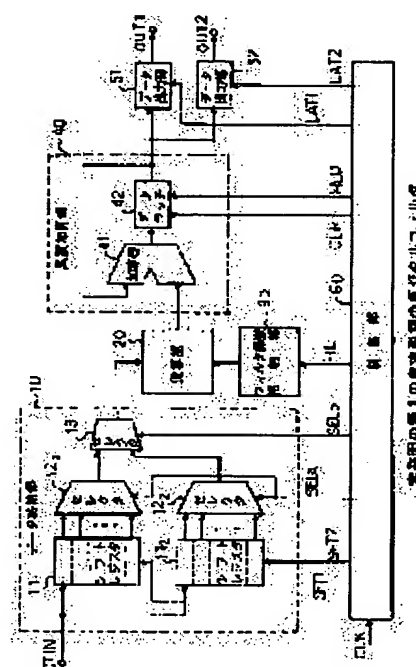
(72)Inventor : MATOBA KENJIRO

## (54) DIGITAL FILTER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a digital filter for a multi-channel capable of processing pieces of input data in different sampling frequencies and the circuit scale of which is simplified.

**SOLUTION:** Pieces of the time-division multiplexed input data DTIN are stored in shift registers 111, 112 for every channel according to control of a control part 60. For example, pieces of the input data of a first channel stored in the shift register 111 are successively read by the control of the control part 60 and multiplied by a filter coefficient to be outputted from a filter coefficient storage part 30 in a multiplication part 20. These multiplication results are added by an accumulated adder part 40, the added results are latched by a data output part 51 and outputted as the output data OUT1.



## LEGAL STATUS

[Date of request for examination]

26.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A) (11) 特許公開公報番号  
特開2003-284451  
(P2003-284451A)  
(43) 公開日 平成15年9月19日 (2003.9.19)

(51) Int. Cl.	識別記号	F I	特許公開公報番号
H 03 H 17/06	6 5 5	H 03 H 17/06	6 5 5 B
	6 7 1		6 7 1 Z
	6 2 1	17/00	6 2 1 E

審査請求 有 請求項の数 4 O L (全 12 頁)

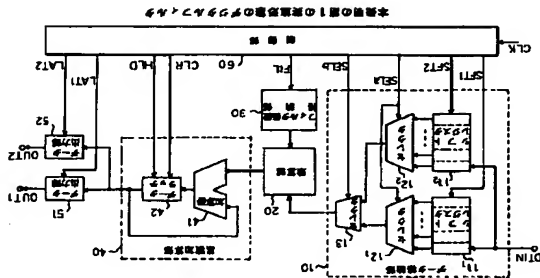
(21) 出願番号	特開2002-66488(P2002-66488)	(71) 出願人	00000295 沖電気工業株式会社
(22) 出願日	平成14年3月12日 (2002.3.12)	(71) 出願人	59104983 株式会社 沖マイクロデザイン 宮崎県宮崎郡清武町大字木原7083番地 的場 健二郎
		(72) 発明者	宮崎県宮崎郡清武町大字木原7083番地 株式会社沖マイクロデザイン内 10008807 (74) 代理人 伊理士 柳本 義成

(54) 【発明の名称】 デジタルフィルタ

(57) 【要約】

【課題】 サンプリング周波数の異なる入力データを処理することが可能で、回路規模を簡素化した多チャンネル用のデジタルフィルタを提供する。

【解決手段】 時分割多重化された入力データDTINは、制御部60の制御に従って、チャンネル毎にシフトレジスタ111、112に格納される。例えば、シフトレジスタ111に格納された第1チャンネルの入力データは、制御部60の制御によって順次読み出され、乗算部20においてフィルタ係数格納部30から出力される乗算部40で加算され、その加算結果はデータ出力部51にラッチされて、出力データOUT1として出力される。



【特許請求の範囲】  
【請求項1】 複数のチャンネルの入力データが時分割多重化された入力信号が与えられ、各チャンネル毎に最新の複数の入力データを格納すると共に、その格納された入力データを選択信号に従って出力するデータ格納部と、

前記複数のチャンネルの入力データに対応して予め設定されたフィルタ係数が格納されたフィルタ係数格納部と、前記データ格納部から順次読み出された入力データに、この入力データに対応して前記フィルタ係数格納部から読み出されたフィルタ係数を掛け合わせる乗算部と、各チャンネル毎に前記乗算部から出力される乗算結果の乗算結果を加算する累加加算部と、

各チャンネル毎に前記累加加算部の加算結果を保持して出力データとして出力するデータ出力部と、前記データ格納部に前記入力信号が与えられる毎に、該入力信号のチャンネルに対応する複数の入力データを順次選択するための前記選択信号を生成すると共に、該選択信号に対して前記フィルタ係数格納部、前記累加加算部及び前記データ出力部に対する動作制御信号を生成する制御部とを、

備えたことを特徴とするデジタルフィルタ。

【請求項2】 複数のチャンネルの入力データが時分割多重化された入力信号及び後入力データの同期間を補間する補間信号が切り替えて与えられ、各チャンネル毎に最新の複数のチャンネルの入力データと補間処理された補間データを格納すると共に、その格納された入力データ及び補間データを前記選択信号に従って出力するデータ格納部と、前記複数のチャンネルの入力データ及び補間データに対応して予め設定されたフィルタ係数が格納されたフィルタ係数格納部と、

前記データ格納部から順次読み出される入力データ及び補間データに、対応して前記フィルタ係数格納部から読み出されるフィルタ係数を掛け合わせる乗算部と、各チャンネル毎に前記乗算部から出力される乗算結果の乗算結果を加算する累加加算部と、

各チャンネル毎に前記累加加算部の加算結果を保持して出力データとして出力するデータ出力部と、前記入力信号と前記補間信号を切り替え、前記データ格納部に前記入力信号が与えられる毎に後入力信号のチャンネルに対応する複数の入力データ及び補間データを順次選択するための前記選択信号を生成すると共に、該選択信号に対して前記データ格納部、前記累加加算部及び前記データ出力部に対する動作制御信号を生成する制御部とを、

備えたことを特徴とするデジタルフィルタ。  
【請求項3】 前記入力データのレベルを変更して前記出力データを生産するための出力係数を格納する出力係数格納部を設けると共に、前記制御部は、前記データ格納部に前記入力信号が与え

られる毎に、その入力データに前記出力係数を掛け合わせて該データ格納部に格納させるように、該データ格納部、前記乗算部及び前記累加加算部を制御する構成にしたことを、

【請求項4】 前記複数のチャンネルの出力データを所定の割合で融合して融合出力データを生産するためのパン係数を格納するパン係数格納部と、前記累加加算部における前記複数のチャンネルの加算結果を保持するレジスタとを、設けると共に、

前記制御部は、前記レジスタに保持された複数のチャンネルの加算結果に前記パン係数を掛け合わせて前記融合出力データを生産して前記データ出力部に保持させるように、前記データ格納部、前記乗算部、前記累加加算部及び前記データ出力部を制御する構成にしたことを、

【請求項5】 前記データ出力部を制御する構成にしたことを、

【請求項6】 前記データ出力部を制御する構成にしたことを、

【請求項7】 前記データ出力部を制御する構成にしたことを、

【請求項8】 前記データ出力部を制御する構成にしたことを、

【請求項9】 前記データ出力部を制御する構成にしたことを、

【請求項10】 前記データ出力部を制御する構成にしたことを、

【請求項11】 前記データ出力部を制御する構成にしたことを、

【請求項12】 前記データ出力部を制御する構成にしたことを、

【請求項13】 前記データ出力部を制御する構成にしたことを、

【請求項14】 前記データ出力部を制御する構成にしたことを、

【請求項15】 前記データ出力部を制御する構成にしたことを、

【請求項16】 前記データ出力部を制御する構成にしたことを、

【請求項17】 前記データ出力部を制御する構成にしたことを、

【請求項18】 前記データ出力部を制御する構成にしたことを、

【請求項19】 前記データ出力部を制御する構成にしたことを、

【請求項20】 前記データ出力部を制御する構成にしたことを、

【請求項21】 前記データ出力部を制御する構成にしたことを、

【請求項22】 前記データ出力部を制御する構成にしたことを、

【請求項23】 前記データ出力部を制御する構成にしたことを、

【請求項24】 前記データ出力部を制御する構成にしたことを、

【請求項25】 前記データ出力部を制御する構成にしたことを、

【請求項26】 前記データ出力部を制御する構成にしたことを、

【請求項27】 前記データ出力部を制御する構成にしたことを、

【請求項28】 前記データ出力部を制御する構成にしたことを、

【請求項29】 前記データ出力部を制御する構成にしたことを、

【請求項30】 前記データ出力部を制御する構成にしたことを、

【請求項31】 前記データ出力部を制御する構成にしたことを、

【請求項32】 前記データ出力部を制御する構成にしたことを、

【請求項33】 前記データ出力部を制御する構成にしたことを、

【請求項34】 前記データ出力部を制御する構成にしたことを、

【請求項35】 前記データ出力部を制御する構成にしたことを、



(5)

と与えられる。これにより、ジブトレジスタ11<sub>1</sub>に保持されていた過去の第1チャネル内のデータが順次後段にジブトレジスタ11<sub>2</sub>に転送され、初期段に最新のデータCH1が格納される。また、制御部60からデータ格納部100のセレクトレクタ113に対して、第1チャネル（即ち、セレクトレクタ112）側を選択させるための選択信号SELbが出力される。更に、制御部60から乗算加算部40にクリア信号CLRが出力され、乗算加算部40のデータラッチ42の内容は、消去されることになる。

【0030】次に、制御部60からデータ格納部100のセレクトタ121に対して、1番目のデータを選択させるための選択信号SELが出力されると共に、フィルタ係数格納部30に対して、1番目のフィルタ係数を選択して出力させるための制御信号F1Lが出力される。これにより、シフトレジスタ111の1番目のデータと、フィルタ係数格納部30の1番目のフィルタ係数が乗算部20によって掛け合わされ、その乗算結果が算出部40より出力される。累加部41で乗算部40の加算器41で乗算部20から与えられた乗算結果とデータラッチ42に保持されている累加結果（この場合は、0）が加算される。この時点で、制御部60からデータラッチ42に保持信号H1Lが与えられ、加算器41の加算結果が、このデータラッチ42に新たな累加結果として保持される。

【0031】その後、制御部60からデータ格納部10のセレクト12に対して、2番目、3番目、…のデータを選択させるための選択信号SEL<sub>a</sub>と共に、フィルタ係数格納部30に対して、2番目、3番目、…のフィルタ係数を選択し出力させるための制御信号FL1が、順次出力される。これにより、シフトレジスタ11の2番目、3番目、…のデータと、フィルタ係数格納部30の2番目、3番目、…のフィルタ係数が乗算部20によってそれぞれ掛け合わされる。そして、これらの乗算結果は、制御部60から累加加算部40に順次与えられる。保持信号HLDに従って累加加算されて保持される。

【0032】シフトレジスタ11<sub>1</sub>に格納された第1チャネルのデータに対するフィルタ処理が終了すると、制御部60からデータ出力部51に対して、ラッチ信号LAT1が出力される。これにより、累積加算部40のデータラッチ42に保持されているデータが、データ出力部51に保持されて出力データOUT1として出力される。

【0033】次に、入力データDTINに第2チャンネルのデータCH2が入されると、制御部60からデータ格納部10のソフトウェアスタ112にシフト信号SF2が出力される。これにより、ソフトウェアスタ112に保持されていた過去の第2チャンネルのデータCH2は、後段にシフトされる。共に、初段には最新のデータCH2が格納される。また、制御部60からデータ格納部1

力図は、それぞれセレクト121, 122の入力側に接続されている。セレクト121, 122は、制御部60Aから与えられる選択信号SELaに従って、それぞれシフトレジスタ111, 112の出力データを選択して出力するものである。

【0040】更に、このデータ格納部10Aは、累加部40によってフィルタ処理が施されてフィードバックされたデータを、制御部60Aから与えられるシフト信号SFT3、SFT4に従って保持すると共に、今までに保持したデータを順次シフトして過去の複数個のデータを格納する抽出処理用のシフトレジスタ15<sub>1</sub>、15<sub>2</sub>を有している。

【0041】シフトレジスタ15<sub>1</sub>、15<sub>2</sub>の各段の出力側は、それぞれセレクト16<sub>1</sub>、16<sub>2</sub>の入力側に接続されている。セレクト16<sub>1</sub>、16<sub>2</sub>は、制御部60Aから与えられる選択信号SELaに従って、それぞれシフトレジスタ15<sub>1</sub>、15<sub>2</sub>の出力データを選択して出力するものである。

【0042】セレクタ121、122、161、162の出力側は、セレクタ17の入力側に接続されている。セレクタ17は、制御部60Aから与えられる選択信号SELb、SELcに基いて、セレクタ121～162のいずれか1つの出力データを選択して出力するもので、このセレクタ17の出力側が乗算部20の一方の入力側に接続されている。その他の構成は、図1と同様である。

【0043】図5は、図4の動作を示すタイミングチャートである。以下、この図5を参照しつつ、図4の動作を説明する。入力データDTINに第1チャンネルのデータCH1が入力されると、制御部60Aからデータ格納部60Aのセレクト14に、入力データDTINを格納するための前制御信号COMが与えられ、更に、制御部60Aからデータ格納部10Aのシフトレジスタ111にシフト信号SHFT1が与えられる。これにより、シフトレジスタ111に保持されていた過去の第1チャンネルのデータCH1が順次後段にシフトされると共に、初期化された最新のデータCH1が格納される。また、制御部60Aからデータ格納部10Aのセレクト17に対して、セレクト12、17側を選択させるための選択信号SELb、SELcが出力される。これと同時に、制御部60Aから累加加算部40のクリップ信号CLRが与えられ、累加加算部40のデータラッチ42の内容は、消去されて0になる。

【0044】次に、制御部60Aからデータ格納部10Aのセクタ121に対して、1番目のデータを選択させるための選択信号SELaが出力されると共に、フィドルタ係数格納部30に対して、1番目のフィドルタ係数を選択し出力させるための制御信号F1Lが出力される。これにより、シフトレジスタ11の1番目のデータと、フィドルタ係数格納部30の1番目のフィドルタ係数

が乗算部 20 によって掛け合わせられ、その乗算結果が累加加算部 40 に入力される。累加加算部 40 の加算器 41 では、乗算部 20 から与えられた乗算結果とデータラッチ 42 に保持されている累算結果（この場合は、0）が加算される。この時点で、倒置部 60 A からデータラッチ 42 に保持信号 HLD が与えられ、加算器 41 の加算結果が新たな累算結果として、このデータラッチ 42 に保持される。

【0045】その後、制御部60Aからセレクト121に対して、2番目、3番目、…のデータを選択させたための選択信号SELaと共に、フィルタ係数格納部30に対して、2番目、3番目、…のフィルタ係数を選択し出力させるための制御信号F11が、順次出力される。これにより、シフトレジスタ111の2番目、3番目、…のデータと、フィルタ係数格納部30の2番目、3番目、…のフィルタ係数と乗算部20によってそれぞれ掛け合わされる。そして、これらの乗算結果は、制御部60Aから順次与えられる保持信号H1Dに従って、累乗加算部40で累乗加算されて保持される。

【0046】シフトレジスタ111に格納された第1チャネルのデータに対するフィルタ処理が終了すると、制御部60Aからデータ増幅部10Aのシフトレジスタ115に1に対するフィルタ信号SFT13が与えられる。これにより、シフトレジスタ115に保持されていた過去の第1チャネルのフィルタ処理が施されたデータが順次、第1チャネルのデータが格納される。また、制御部60Aからセレクタ17に対して、セレクタ151側を選択される最新のデータが格納される。

【0047】次に、制御部60Aからデータ格納部10Aのセレクタ161に対して、1番目のデータを選択するための選択信号SEL1が出力されると共に、フィードバック係数格納部30に対して、a番目のフィードバック係数を選択し出力させるための制御信号F1Lが出力される。これにより、ソフトウェアステップ15の1番目のデータと、フィードバック係数格納部30のa番目のフィードバック係数を乗算部20に出力して掛け合わせ、その乗算結果が累加加算部40に出力される。累加加算部40の加算器11では、乗算部20から与えられた乗算結果とデータラッチ42に保持されている累積結果（この場合は、0）が加算される。この時点で、制御部60Aからデータラッチ42に保持信号HLDが与えられ、加算器41の加算結果が新たな累積結果として、このデータラッチ42に保持される。

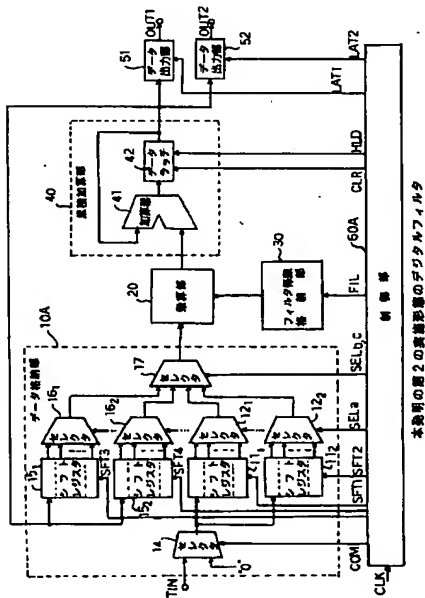
【0048】その後、制御部60Aからデータ格納部10Aのセクタ16<sub>1</sub>に対して、2番目、3番目、…のデータを選択させるための選択信号SEL<sub>a</sub>と共に、7



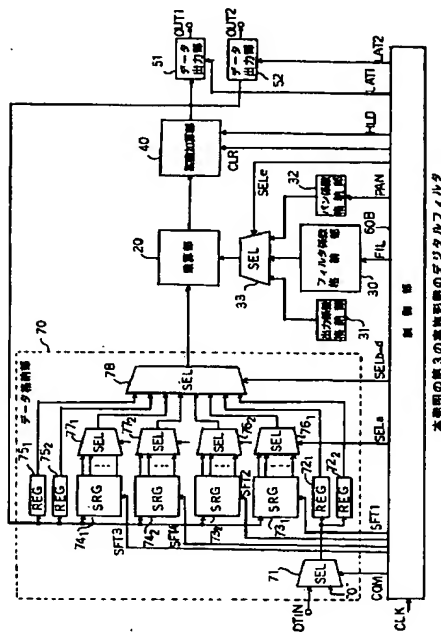




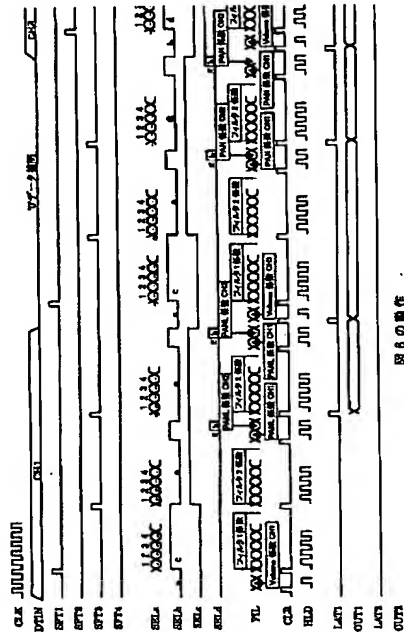
【図4】



【図6】



【図7】



【図5】

